

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-040754

(43)Date of publication of application : 12.02.1999

(51)Int.CI. H01L 27/04
H01L 21/822
H01L 21/82
H01L 27/10

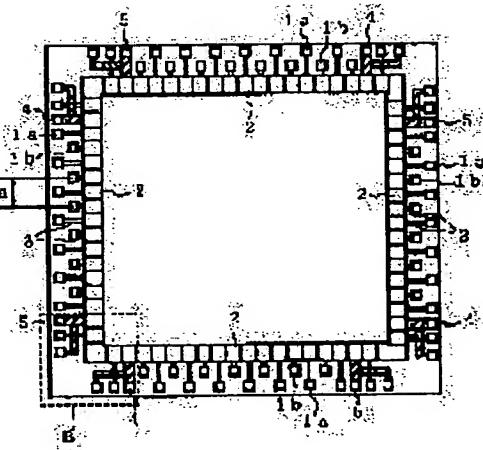
(21)Application number : 09-192876 (71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 17.07.1997 (72)Inventor : KAMEDA HIDEO
UEDA NAOTO
GOI YOICHI
TANIGUCHI HIDEKI

(54) SEMICONDUCTOR DEVICE**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a semiconductor device which can reduce a pad pitch without considerably reducing bonding pads connected to buffers containing I/O (input/output circuit constitution) arranged on four sides of a semiconductor chip and which can securely secure wiring width between the bonding pads and the buffers.

SOLUTION: A buffer area constituted of the plural buffers 2 arranged on one side of the semiconductor chip, a pad area which contains the pads 1, 1a and 1b by at least the number of the buffers and is arranged on the outer side of the chip from the buffer area, signal lines 3 connecting the pads and the buffers 25 and power lines and ground lines which are connected to excessive pads 4 and 5, are provided. At least one side is partially overlapped with a signal line through an insulating layer.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-40754

(43)公開日 平成11年(1999)2月12日

(51)Int.Cl.⁶
H 01 L 27/04
21/822
21/82
27/10 471

F I
H 01 L 27/04
27/10 471
21/82 P

審査請求 未請求 請求項の数4 O L (全6頁)

(21)出願番号 特願平9-192876

(71)出願人 000006013

(22)出願日 平成9年(1997)7月17日

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 鹿田 英夫
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 上田 直人
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 五井 陽一
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 弁理士 田澤 博昭 (外1名)

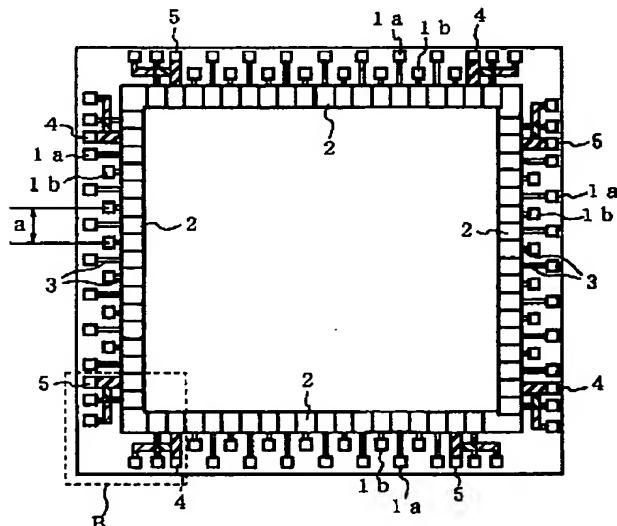
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 I C集積度向上に伴い半導体装置のパッド間隔が狭小化しワイヤボンディング工程やI Cの信頼性に影響を与えるという課題があった。

【解決手段】 半導体チップの一辺に対して配置された複数バッファからなるバッファ領域と、少なくともバッファ数分のパッドを含みバッファ領域よりもチップの外側に配置されたパッド領域と、パッドとバッファをそれぞれ接続する信号線と、余剰パッドと接続する電源線および接地線とを備え、これらの少なくとも一方は信号線と絶縁層を介して部分的に重なり合うように構成した。



1: ボンディングパッド (パッド)
1 a: 外周ボンディングパッド (パッド)
1 b: 内周ボンディングパッド (パッド)
2: バッファ
3: 配線 (信号線)
4: 電源用ボンディングパッド (パッド)
5: 接地用ボンディングパッド (パッド)

【特許請求の範囲】

【請求項1】 半導体チップの一辺に対して配置された複数個のバッファを有するバッファ領域と、少なくともバッファ数分のパッドを有しており、上記バッファ領域よりも上記半導体チップの外側に配置されたパッド領域と、上記パッドと上記バッファをそれぞれ接続する信号線と、上記パッドの余剰分と接続する電源線および接地線とを備えた半導体装置において、上記電源線および接地線の少なくとも一方は上記信号線と絶縁層を介して部分的に重なり合うことを特徴とする半導体装置。

【請求項2】 半導体チップの一辺に対して複数個のバッファが配置されたバッファ領域と、少なくともバッファ数分のパッドを有しており、これらが上記バッファ領域よりも上記半導体チップの外側に配置され信号線を介して上記バッファとそれ接続するパッド領域と、上記バッファ領域よりも上記チップの内側に配置され電源線および接地線と接続するパッドとを備えた半導体装置。

【請求項3】 信号線が第1信号線と第2信号線とからなり、これらが他の絶縁層を介して部分的に重なり合うことを特徴とする請求項1または請求項2記載の半導体装置。

【請求項4】 パッド領域の信号線と接続していないパッドは電源線および接地線の少なくとも一方とも接続しており、この一方は信号線と絶縁層を介して部分的に重なり合うことを特徴とする請求項2記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ゲートアレイ等のマスター・スライス型半導体装置に関し、特にワイヤボンディングを行う際に狭ピッチに対応したボンディングパッドおよびバッファのレイアウトに関するものである。

【0002】

【従来の技術】図8は従来の狭ピッチに対応するボンディングパッドおよびバッファを用いたマスタスライス方式の半導体装置のチップ構成図であり、図9は図8の囲い部分Aのボンディングパッドおよびバッファの構成を示す部分拡大図である。図において、1はボンディングパッド、1a, 1bはそれぞれ外周および内周ボンディングパッド、2はバッファ、3は外周および内周ボンディングパッド1a, 1bとバッファ2を接続する配線、4は電源用ボンディングパッド、5は接地用ボンディングパッド、6は電源用ボンディングパッド4と電源線を接続する配線、7は接地用ボンディングパッド5と接地線を接続する配線、8はバッファ2と内部回路を接続する内部配線、aはジグザグに配置された外周および内周ボンディングパッド1a, 1bのピッチである。配線3にはそれぞれ信号線、電源線および接地線が含まれてお

り、電源線ないし接地線とバッファとを接続する配線の幅は、通過電流量が大きいためエレクトロマイグレーション等の信頼性対策から、信号線と接続する配線の幅に比べて通常太めに設定されている(図7参照)。

【0003】

【発明が解決しようとする課題】従来の半導体装置は以上のように構成されているので、外周ボンディングパッド1aと内周ボンディングパッド1bが近接しており、さらにボンディングパッドのピッチaを小さくするためにはボンディングパッド1のサイズを小さくしなければならず、これが小さくなればワイヤボンディング工程が困難になる。加えて、バッファ2の幅が小さくなるとその形状が細長くなり、バッファ設計に制約を受けるとともに、ボンディングパッド1とバッファ2を接続する配線の幅を細くしなければならないので、集積回路ICの信頼性に影響を与えるなどの課題があった。

【0004】この発明は上記のような課題を解決するためになされたもので、半導体チップの四辺に配列されているI/O(入力および出力回路構成)等を含むバッファと各々接続するボンディングパッドを極端に小さくすることなくパッドピッチを小さくでき、ボンディングパッドとバッファ間の配線幅を十分確保できる半導体装置を得ることを目的とする。

【0005】

【課題を解決するための手段】請求項1記載の発明に係る半導体装置は、半導体チップの一辺に対して配置された複数個のバッファを有するバッファ領域と、少なくともバッファ数分のパッドを有しておりバッファ領域よりも外側に配置されたパッド領域と、パッドとバッファをそれぞれ接続する信号線と、パッドの余剰分と接続する電源線および接地線とを備えるものであり、電源線および接地線の少なくとも一方は信号線と絶縁層を介して重なり合うものである。

【0006】請求項2記載の発明に係る半導体装置は、半導体チップの一辺に対して複数個のバッファが配置されたバッファ領域と、少なくともバッファ数分のパッドを有しておりバッファ領域よりも外側に配置され信号線を介して上記バッファとそれ接続するパッド領域と、バッファ領域よりも内側に配置され電源線および接地線と接続するパッドとを備えるものである。

【0007】請求項3記載の発明に係る半導体装置は、信号線が第1信号線と第2信号線とからなり、これらが他の絶縁層を介して部分的に重なり合うものである。

【0008】請求項4記載の発明に係る半導体装置は、パッド領域のパッドの一部は電源線および接地線の少なくとも一方とも接続しており、この一方は信号線と絶縁層を介して部分的に重なり合うものである。

【0009】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1、図1はこの発明の実施の形態1による半導体装置の構成図、図2は図1の囲い部分Bの構成図、図3は図2のI—I線に沿った断面図であり、図において、1はポンディングパッド(パッド)、1a、1bはそれぞれ外周および内周ポンディングパッド(パッド)、2はバッファ、3は外周および内周ポンディングパッド1a、1bとバッファ2を接続する配線(信号線)、4は電源用ポンディングパッド(パッド)、5は接地用ポンディングパッド(パッド)、6は電源用ポンディングパッド4と電源線を接続する配線(電源線)、7は接地用ポンディングパッド5と接地線を接続する配線(接地線)、8はバッファ2と内部回路を接続する内部配線、11aはA1等からなる信号線(第2信号線)3bと接続するポンディングパッド、11bは信号線線(第1信号線)3aと接続するポンディングパッド、21は他の絶縁層としての第1絶縁膜、22は絶縁層としての第2絶縁膜、23は表面保護膜、aはジグザグに配列された外周および内周ポンディングパッド1a、1bのピッチ、cは電源用ポンディングパッド4とポンディングパッド11a間距離、dはポンディングパッド11a、11b間の距離である。

【0010】電源線や接地線と接続する配線6、7は通過する電流量が大きいのでエレクトロマイグレーション対策から信号線と接続する配線3よりも配線幅が太めに形成されており、配線3を構成する第1および第2A1配線とは別に第3A1配線により与えられている。なお、ワイヤポンディングするためには通常ワイヤ線同士が絡み合ってショートしないように半導体チップの一辺に対して垂直方向からみてポンディングパッドが重なり合っていてはいけない。

【0011】この実施の形態1の構成によれば、チップ角に近いポンディングパッド11a、11bをチップの角方面に引き出して、その空いた領域に電源用および/または接地用のポンディングパッド4、5を配置している。これにより、電源用および/または接地用の配線はバッファ2が配列されているバッファ領域に対応して確保されているため、バッファ領域の該当箇所に電源用および/または接地用のバッファ領域を新たに確保する必要はない。なお、図3によれば、電源線および/または接地線である配線6、7は第3A1配線により与えられているが、設計上可能であれば第1および/または第2A1配線により与えることができる。

【0012】以上のように、この実施の形態1によれば、パッドピッチaを広げることなく電源ないし接地電位を配線することができ、使用できるI/O数を減らすことなく電源ないし接地電位をチップに供給することができる。また、該当する電源用および接地用ポンディングパッド4、5と電源線および接地線をそれぞれ接続する配線6、7の幅は十分確保できるため、I/Cの信頼性にも影響を与えないという効果が得られる。

【0013】実施の形態2、図4はこの発明の実施の形態2による半導体装置の構成図、図5は図1の囲い部分Cの構成図であり、図において、1はポンディングパッド、1a、1bはそれぞれポンディングパッド1の外周および内周ポンディングパッド、2はバッファ、3は外周および内周ポンディングパッド1a、1bとバッファ2を接続する配線、4は電源用ポンディングパッド、5は接地用ポンディングパッド、6は電源用ポンディングパッド4と電源線を接続する配線、7は接地用ポンディングパッド5と接地線を接続する配線、8はバッファ2と内部回路を接続する内部配線である。

【0014】外周および内周ポンディングパッド1a、1bは信号用としてのみ使用し、バッファ領域よりも内側に配置された最内周のポンディングパッド4、5は電源ないし接地用としてのみ使用する。このため、従来電源ないし接地用としてバッファ領域に確保していた領域を全て信号用のバッファ2のために使用できるので、チップ上に必要となる電源および接地ビンの本数に依存することなく半導体チップのサイズを小さくすることができる。また、外周および内周ポンディングパッド1a、1bとバッファ2を接続する配線3の幅を十分に確保することができる。

【0015】これを図6と図7を用いて説明する。図6はこの実施の形態2の部分説明図、図7は従来例のそれである。図において、aはジグザグに配置されたポンディングパッド1a、1bのピッチ、bは隣り合うポンディングパッド1b間に電源用または接地用ポンディングパッド4、5およびその配線6、7を配置した場合のピッチであり、その他の構成は同様であるから同一部分には同一符号を付して重複説明を省略する。これによれば、従来例を示す図7では、複数のバッファ2からなるバッファ領域に対して同じ側に信号用の外周および内周ポンディングパッド1a、1bと電源用または接地用ポンディングパッド4、5が配置されているので、通過電流量の関係から配線幅を太めに確保する必要がある(電源用または接地用ポンディングパッド4、5と接続する)配線6、7の影響を受けてピッチbが通常ピッチaに比べて大きくなっている。一方、この実施の形態2を示す図6では、バッファ2からなるバッファ領域に対して反対側に信号用の外周および内周ポンディングパッド1a、1bと電源用または接地用ポンディングパッド4、5が配置されているので通常ピッチaを前記のようにピッチ差(b-a)分広げる必要はない。

【0016】以上のように、この実施の形態2によれば、最内周のポンディングパッド4、5は電源ないし接地線に使用し、外周および内周ポンディングパッド1a、1bは信号線に使用するように設定できるので、従来はバッファ領域に確保していた領域を信号線に割り当てることができ、これにより使用可能なI/O数を増加させることができる効果がある。加えて、ポンディング

パッド1とバッファ2を接続する配線3の幅を十分に確保できるので、ICの信頼性に影響を与えることなく半導体チップのサイズを小さくできる効果がある。

【0017】

【発明の効果】以上のように、請求項1記載の発明によれば、バッファ数よりも多い余剰分のパッドと接続する電源線ないし接地線を信号線と絶縁層を介して部分的に重なり合うように構成したので、各バッファに接続する信号線のパッドを半導体チップの角方面に引き延ばして配置することができる。したがって、引き延ばした信号線のパッドの分だけバッファ数分の配列パッドのピッチを狭ピッチにしなくて済むので、パッドの大きさを極端に小さくせずに済み、ワイヤボンディング工程を容易にする効果がある。加えて、重なり合う信号線が接続するバッファ領域も上記の構成によりI/Oとして使用することができる効果がある。

【0018】請求項2記載の発明によれば、バッファ領域よりも外側に配置され信号線と接続するパッドからなるパッド領域と、バッファ領域よりも内側に配置され電源線および接地線と接続するパッドとが別々に与えられるように構成したので、パッド領域には信号用のバッファと接続するパッドを専用に配置することができ、従来は電源ないし接地用のパッド領域の確保のために使用できなかったI/Oを有効利用できる効果がある。また、パッド領域のパッドピッチをバッファ数に合わせて設定できるので、パッドの大きさおよびバッファと接続する配線の幅も余裕をもって与えることができ、したがって、ワイヤボンディング工程およびICの信頼性に影響を与えないでチップサイズを小さくできる効果がある。

【0019】請求項3記載の発明によれば、信号線が第1信号線と第2信号線とからなり、これらが他の絶縁層を介して部分的に重なり合うように構成したので、パッド領域が狭くても信号線の重なり合いを利用しながらピッチが極端に小さくならないように漸次的に設定することでパッドの大きさを極端に小さくせずに済み、上記効

果に加えて設計余裕を確保できる効果がある。

【0020】請求項4記載の発明によれば、パッド領域のパッドの一部は電源線および接地線の少なくとも一方とも接続しており、この一方は信号線と絶縁層を介して部分的に重なり合うように構成したので、バッファ領域の内側で何らかの制約により電源線および接地線と接続するパッドを配置できない場合でも、上記の重なり合いを利用してパッド領域のピッチを狭めずに済ませることができる効果がある。

【図面の簡単な説明】

【図1】この発明の実施の形態1による半導体装置を示すチップ構成図である。

【図2】この発明の実施の形態1による半導体装置を示す部分拡大図である。

【図3】この発明の実施の形態1による半導体装置を示す断面図である。

【図4】この発明の実施の形態2による半導体装置を示すチップ構成図である。

【図5】この発明の実施の形態2による半導体装置を示す部分拡大図である。

【図6】この発明の実施の形態2による半導体装置を示す部分説明図である。

【図7】従来の半導体装置を示す部分説明図である。

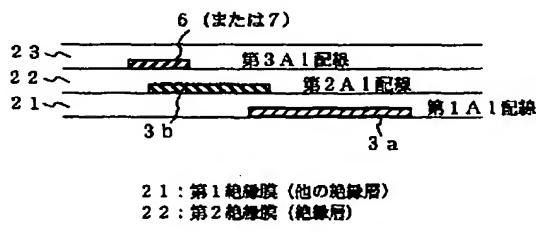
【図8】従来の半導体装置を示すチップ構成図である。

【図9】従来の半導体装置を示す部分拡大図である。

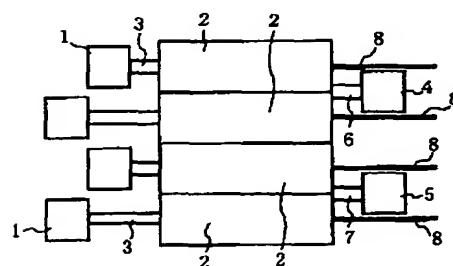
【符号の説明】

1 ボンディングパッド(パッド)、1a 外周ボンディングパッド(パッド)、1b 内周ボンディングパッド(パッド)、2 バッファ、3 配線(信号線)、3a, 3b 信号線(第1信号線、第2信号線)、4 電源用ボンディングパッド(パッド)、5 接地用ボンディングパッド(パッド)、6 配線(電源線)、7 配線(接地線)、21 第1絶縁膜(他の絶縁層)、22 第2絶縁膜(絶縁層)。

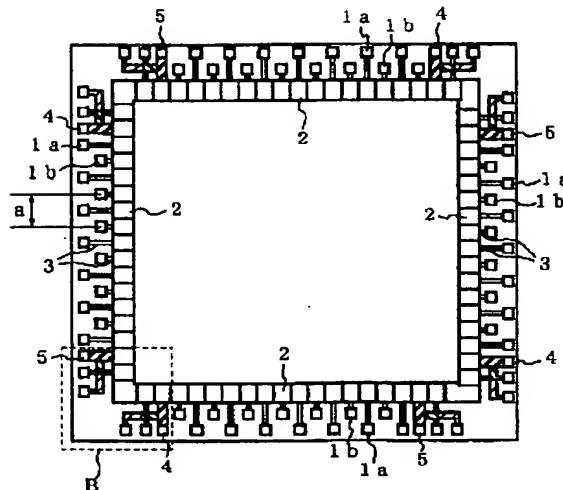
【図3】



【図5】

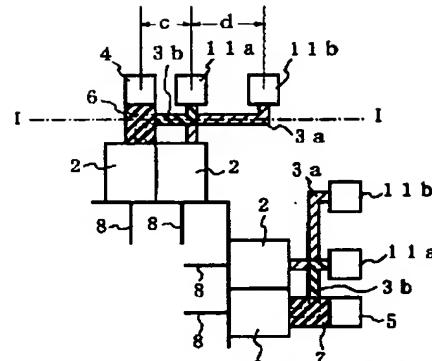


【図1】



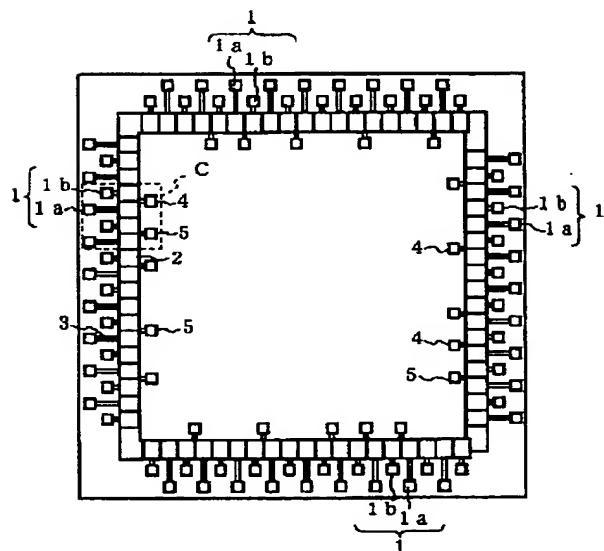
1: ボンディングパッド (Pad)
 1a: 外周ボンディングパッド (Pad)
 1b: 内周ボンディングパッド (Pad)
 2: バッファ
 3: 配線 (信号線)
 4: 電源用ボンディングパッド (Pad)
 5: 接地用ボンディングパッド (Pad)

【図2】

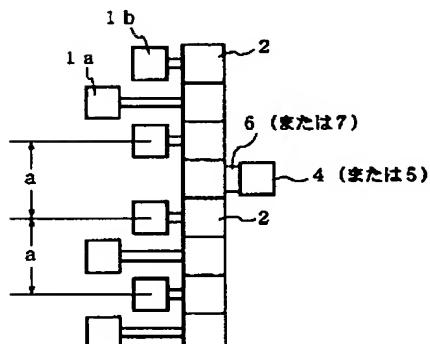


3a, 3b: 信号線 (第1信号線, 第2信号線)
 6: 配線 (電源線)
 7: 配線 (接地線)

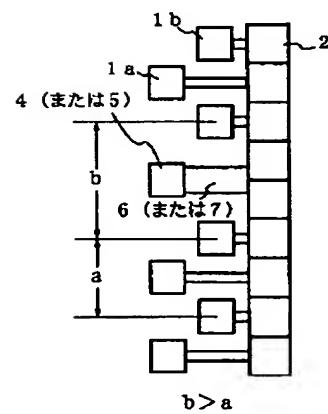
【図4】



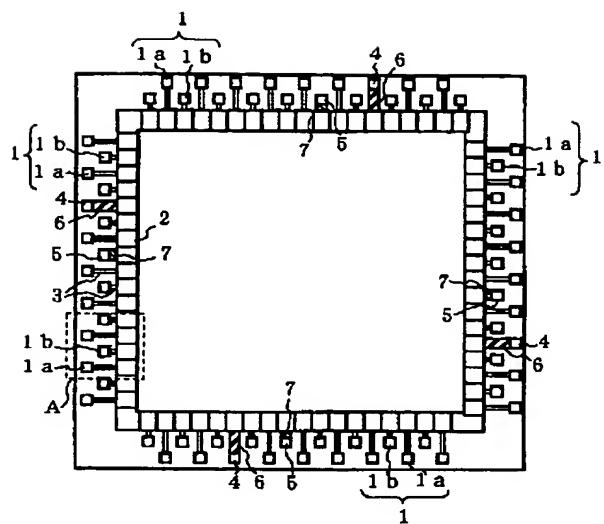
【図6】



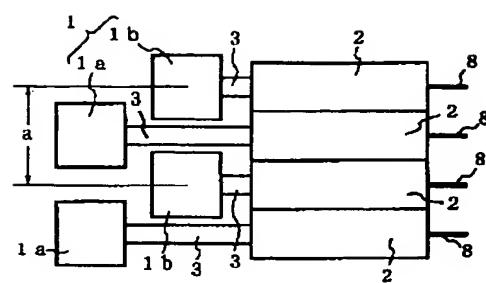
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 谷口 秀樹
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内